

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06069425 A**(43) Date of publication of application: **11.03.94**

(51) Int. Cl.

H01L 27/04
G01R 31/28
H01L 27/10

(21) Application number: **05138388**(22) Date of filing: **10.06.93**(30) Priority: **10.06.92 JP 04150177**(71) Applicant: **NEC CORP**(72) Inventor: **OKUNAGA KAZUO**

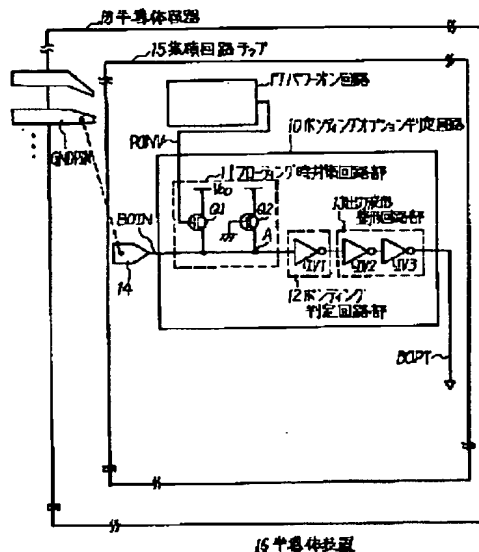
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To reduce power consumption by a stand-by semiconductor device for exchanging a function of the semiconductor device according to whether or not a power source line or a grounding line is bonded to a predetermined bonding pad.

CONSTITUTION: When a bonding option pad floats, a P-type MOS transistor Q1 having comparatively large performance draws up a level of a contact A by a PONV signal which becomes in a low level for a predetermined time interval from a power-on. Also, for a P-type transistor Q2 which biases a pad at floating, its driving performance is set at a very small value.

COPYRIGHT: (C)1994,JPO&Japio





類似技術

ポンディング オフオプション
パート
スタンバイ電流

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-69425

(43)公開日 平成 6 年(1994) 3 月11日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

M 8427-4M

G 0 1 R 31/28

H 0 1 L 27/10

4 8 1

8728-4M

6912-2G

G 0 1 R 31/ 28

V

審査請求 有 請求項の数17(全 10 頁)

(21)出願番号 特願平5-138388

(22)出願日 平成 5 年(1993) 6 月10日

(31)優先権主張番号 特願平4-150177

(32)優先日 平 4 (1992) 6 月10日

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 奥永 和生

東京都港区芝五丁目 7 番 1 号 日本電気株

式会社内

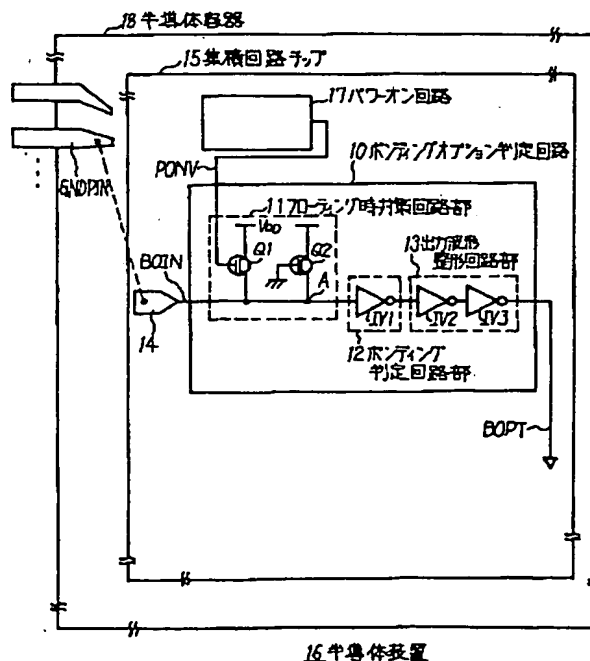
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 所定のボンディングパッドに電源線または接地線をボンディングするかしなくによって、半導体装置の機能を切り換える半導体装置の待機時消費電力の削減を計る。

【構成】 ボンディングオプションパッドがフローティングのとき、比較的能力の大きなP型MOSトランジスタQ1によって、パワーオン時から所定の時間ロウレベルとなるPONV信号で、接点Aのレベルを引き上げる。また、フローティング時にパッドをバイアスするP型トランジスタQ2の駆動能力は非常に小さく設定される。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたボンディングパッドと、前記ボンディングパッドの電位を検出して内部信号を出力する判定回路とを備えた半導体装置において、前記ボンディングパッドを所定の駆動能力で所定の電位に駆動する第1の手段と、前記半導体装置に最初に電源電圧が供給されてから所定の遅延時間が経過するまでの間に、前記所定の駆動能力よりも大きな駆動能力で前記ボンディングパッドを前記所定の電位に駆動する第2の手段とを有する半導体装置。

【請求項2】 前記第1の手段は、前記電源電位が供給される第1の電源と前記ボンディングパッドとの間に接続され、ゲートが第2の電源に接続された第1のトランジスタを有し、前記第2の手段は、前記第1の電源と前記ボンディングパッドとの間に接続され、前記半導体装置に最初に前記電源電圧が供給されてから前記所定の遅延時間が経過するまでゲートにロウレベル信号が供給される第2のトランジスタを有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の手段は、第2の電源と前記ボンディングパッドとの間に接続され、ゲートが、前記電源電位が供給される第1の電源に接続された第1のトランジスタを有し、前記第2の手段は、前記第2の電源と前記ボンディングパッドとの間に接続され、前記半導体装置に最初に前記電源電圧が供給されてから前記所定の遅延時間が経過するまでの間に、ゲートにハイレベル信号が供給される第2のトランジスタを有することを特徴とする請求項1記載の半導体装置。

【請求項4】 前記ロウレベル信号を供給するロウレベル回路をさらに有し、前記ロウレベル回路は前記第1及び第2の電源の間に直列接続された負荷抵抗素子と容量素子とを有することを特徴とする請求項2記載の半導体装置。

【請求項5】 前記ハイレベル信号を供給するハイレベル回路をさらに有し、前記ハイレベル回路は前記第1及び第2の電源の間に直列接続された負荷抵抗素子と容量素子とを有することを特徴とする請求項3記載の半導体装置。

【請求項6】 前記ロウレベル回路は、従属接続された偶数段のCMOSインバータを出力部とし、初段の前記CMOSインバータのゲートに前記負荷抵抗素子と前記容量素子との共通接続点が接続されていることを特徴とする請求項4記載の半導体装置。

【請求項7】 前記ハイレベル回路は、従属接続された奇数段のCMOSインバータを出力部とし、初段の前記CMOSインバータのゲートに前記負荷抵抗素子と前記容量素子との共通接続点が接続されていることを特徴とする請求項5記載の半導体装置。

【請求項8】 前記負荷抵抗素子はゲートが前記第2の電源に接続されたP型MOSトランジスタであることを

特徴とする請求項4または5記載の半導体装置。

【請求項9】 前記P型MOSトランジスタと前記容量素子との共通接続点および前記第2の電源の間に、ゲートが前記第1の電源に接続されたN型MOSトランジスタが接続されていることを特徴とする請求項8の半導体装置。

【請求項10】 前記判定回路はCMOSインバータを有することを特徴とする請求項1記載の半導体装置。

【請求項11】 前記第2のトランジスタは前記第1のトランジスタよりもチャネル幅が広く形成されていることを特徴とする請求項2または3記載の半導体装置。

【請求項12】 前記第2のトランジスタは前記第1のトランジスタよりもチャネル長が短く形成されていることを特徴とする請求項2または3記載の半導体装置。

【請求項13】 前記第2のトランジスタは前記第1のトランジスタよりも閾値電圧が低く設定されていることを特徴とする請求項2または3記載の半導体装置。

【請求項14】 前記ボンディングパッドはボンディングにより前記半導体装置の前記第2の電源に接続されていることを特徴とする請求項2記載の半導体装置。

【請求項15】 前記ボンディングパッドはボンディングされていないことを特徴とする請求項2または3記載の半導体装置。

【請求項16】 前記ボンディングパッドはボンディングにより前記半導体装置の前記第1の電源に接続されていることを特徴とする請求項3記載の半導体装置。

【請求項17】 半導体基板上に形成されたボンディングパッドと第1の電源との間に接続された第1のインピーダンス手段と、前記ボンディングパッドの電位を検出して内部信号を発生する検出回路とを有し、前記ボンディングパッドを前記第1の電源とは異なる第2の電源にボンディングするかしないかによって前記内部信号の電位を切り換えることにより、所定の機能を選択する半導体装置において、前記第1のインピーダンス手段と並列に接続され、前記半導体装置に電源電圧が供給されてから所定の時間経過するまでの間に低インピーダンスを有し、その後高インピーダンスを有する第2のインピーダンス手段を備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の機能を選択的に動作可能とすることのできる半導体装置に関し、特に機能選択手段としてボンディングオプション判定回路を有する半導体装置に関する。

【0002】

【従来の技術】半導体装置はその集積度の向上に伴い、製造に要する工程、設備を急激に増大させており、その結果多品種の製造は困難になっている。即ち、異なる機能を備えた品種毎に別個の製造作業を行えば、効率を悪化させ工数の多大な増加を生ずる。そこで従来から、半

導体基板上に集積回路を形成するに際し、予め複数種類の機能を果たし得るように回路を構成して汎用性を持たせておき、その後所定の端子を用いて機能を選択することが行われている。この場合、装置の動作中においても機能の切り換えを行う場合は、機能選択用の制御信号を半導体装置の特定の外部リードから常に供給し続けることになるが、一方、一旦選択した機能を継続して用いる場合は、集積回路形成後ボンディング時に、機能選択用の端子のボンディング状態を決定することにより、機能を選択することができる。特に、例えば半導体メモリ装置においては、メモリセル等の基本的構成は共通でありながら、ビット構成、リフレッシュサイクル、ページモードの選択等、オプション機能が異なる多数の品種があり、かつこれらの機能は随時切り換えて用いられる種類のものではないので、後者の場合のように、集積回路を共通の工程で形成した後ボンディング時に、機能選択を行うことが効率的である。

【0003】以下、ボンディング時に機能選択を行う半導体装置について、図5を参照して説明する。半導体装置46は、半導体容器48内の集積回路チップ45内にボンディングオプション判定回路40およびボンディングオプションパッド44を備えており、このパッド44はボンディングにより接地されるか、またはボンディングされずフローティング状態とされる。図4では、このパッド44が例えば接地用外部リードGNDPINにボンディングされた状態を示している。ボンディングオプション判定回路40は、インバータIV1を有しボンディングオプションパッド44に接続されるボンディング判定回路部42と、直列接続されたインバータIV2、IV3を有しボンディング判定回路部42からの信号を受けて出力信号BOP Tを出力する出力波形整形回路部43と、ボンディングオプションパッド44と電源V_{DD}との間に接続されゲートが接地されたP型MOSトランジスタQ5を有するフローティング時対策回路部41とを備えている。この場合、以下に説明するように、このP型MOSトランジスタQ5の電流駆動能力は、比較的小さく設定される。

【0004】この半導体装置46の動作は以下のようになる。まず、図5に示すようにボンディングオプションパッド44が接地用外部リードGNDPINに接続されている場合、P型MOSトランジスタQ5の電流駆動能力が十分小さく設定されていれば、ボンディングオプションパッド44の電位は接地電位にほぼ等しくなり、ボンディング判定回路部42においてその入力信号がロウレベルであると判断されて、ハイレベルの信号が出力され、出力波形整形回路部43を介して、ハイレベルの出力信号BOP Tが出力される。一方、ボンディングオプションパッド44が、ボンディングされずにフローティング状態となっている場合は、フローティング時対策回路部41のP型MOSトランジスタQ5により、ボンデ

ィングオプションパッド44の電位は所定の時間を経過すれば電源電位V_{DD}まで上昇し、ボンディング判定回路部42においてその入力信号がハイレベルであると判断され、結局出力波形整形回路部43を介してロウレベルの出力信号BOP Tが出力される。何れの場合にも、この出力信号BOP Tは、内部回路の機能選択用回路部（図示せず）に入力され、その信号レベルに応じて所定の機能を選択して動作可能な状態とする。

【0005】

【発明が解決しようとする課題】従来の半導体装置のボンディングオプション判定回路40では、フローティング時対策回路部41において、P型MOSトランジスタQ5が常時導通しているため、ボンディングオプションパッド44を接地用外部リードGNDPINに接続した場合は常に電流を消費し、待機時電流特性を悪化させるという問題点があった。また、消費電流を抑えるためにP型MOSトランジスタQ5の電流駆動能力を小さく設定し過ぎると、ボンディングオプションパッド44をフローティングさせる場合に、このパッド44の電位が十分上昇するのに長時間を要し、所定の時間内にインバータIV1のゲート入力レベルを十分なレベルまで引き上げられず、ボンディング判定回路部42において誤判定を行い、半導体装置の機能が誤って選択されてしまうという問題があった。

【0006】

【課題を解決するための手段】本願発明によれば、半導体基板上に形成されたボンディングパッドと、このボンディングパッドの電位を検出して所定の内部信号を出力する判定回路とを備えた半導体装置において、ボンディングパッドを所定の駆動能力で所定の電位に駆動する第1の手段と、この半導体装置に最初に電源電圧が供給されてから所定の遅延時間が経過するまでの間に、この所定の駆動能力よりも大きな駆動能力でボンディングパッドを所定の電位に駆動する第2の手段とを有する半導体装置を得る。

【0007】また、この第1の手段は、電源電位が供給される第1の電源とボンディングパッドとの間に接続され、ゲートが第2の電源に接続された第1のトランジスタを有し、この第2の手段は、第1の電源とボンディングパッドとの間に接続され、半導体装置に最初に電源電圧が供給されてから所定の遅延時間が経過するまでゲートにロウレベル信号が供給される第2のトランジスタを有するように構成されている。或いは、この第1の手段は、第2の電源とボンディングパッドとの間に接続され、ゲートが、電源電位が供給される第1の電源に接続された第1のトランジスタを有し、第2の手段は、第2の電源とボンディングパッドとの間に接続され、半導体装置に最初に電源電圧が供給されてから所定の遅延時間が経過するまでの間に、ゲートにハイレベル信号が供給される第2のトランジスタを有するように構成されてい

る。

【0008】さらに、このロウレベル信号を供給するロウレベル回路、またはハイレベル信号を供給するハイレベル回路は、それぞれ、第1及び第2の電源の間に直列接続された負荷抵抗素子と容量素子とを有するように構成され、ロウレベル回路は従属接続された偶数段のCMOSインバータを出力部とし、初段のCMOSインバータのゲートに負荷抵抗素子と容量素子との共通接続点が接続されており、ハイレベル回路は、従属接続された奇数段のCMOSインバータを出力部とし、初段のCMOSインバータのゲートに負荷抵抗素子と容量素子との共通接続点が接続されるように構成される。より具体的には、負荷抵抗素子はゲートが第2の電源に接続されたP型MOSトランジスタである。

【0009】そして、第2のトランジスタは第1のトランジスタよりもチャネル幅が広く形成され、またはチャネル長が短く形成されて、または閾値電圧が低く設定されている。

【0010】また、本願発明によれば、半導体基板上に形成されたボンディングパッドと第1の電源との間に接続された第1のインピーダンス手段と、ボンディングパッドの電位を検出して内部信号を発生する検出回路とを有し、ボンディングパッドを第1の電源とは異なる第2の電源にボンディングするかしないかによって内部信号の電位を切り換えることにより、所定の機能を選択する半導体装置において、第1のインピーダンス手段と並列に接続され、半導体装置に電源電圧が供給されてから所定の時間経過するまでの間には低インピーダンスを有し、その後高インピーダンスを有する第2のインピーダンス手段を備えたことを特徴とする半導体装置を得る。

【0011】

【実施例】以下に図面を参照して、本願発明の実施例について説明する。

【0012】図1は本願発明の第1の実施例である半導体メモリ装置を示す平面図及び回路図であり、図2

(A)は図1におけるパワーオン回路の回路図、図2

(B)はこの半導体装置に電源電圧が供給されたときのパワーオン回路及びボンディングオプション判定回路部10の動作波形を示すタイミングチャートである。

【0013】図1に示すように、半導体装置16は、半導体容器18内の集積回路チップ15上にボンディングオプション判定回路10およびボンディングオプションパッド14を備えており、ボンディングオプションパッド14はボンディングにより接地されるか、またはボンディングされずフローティング状態とされる。図1では、ボンディングオプションパッド14が例えば接地用外部リードGNDPINにボンディングされた状態を破線で示している。ボンディングオプション判定回路10は、インバータIV1を有しボンディングオプションパッド14に接続されるボンディング判定回路部12と、

直列接続されたインバータIV2、IV3を有しボンディング判定回路部12からの信号を受けて出力信号BOP Tを出力する出力波形整形回路部13と、さらにフローティング時対策回路部11とを有している。このフローティング時対策回路部11は、ボンディングオプションパッド14と電源VDDとの間に接続されゲートが接地されたP型MOSトランジスタQ2と、ボンディングオプションパッド14と電源VDDとの間に接続されゲートにパワーオン回路17の出力信号PONVが与えられるP型MOSトランジスタQ1とを備えている。P型MOSトランジスタQ2は、従来の半導体装置で用いられていたP型MOSトランジスタQ5に比べて、非常に駆動能力の小さいものであり、また、P型MOSトランジスタQ1は、このP型MOSトランジスタQ2に比べて比較的駆動能力の大きなものとなっている。即ち、P型MOSトランジスタQ1は、P型MOSトランジスタQ2に比べて、チャネル長が短く形成され、またはチャネル幅が広く形成されている。これは、P型MOSトランジスタQ2を複数のP型MOSトランジスタの直列接続で構成し、またはP型MOSトランジスタQ1を複数のP型MOSトランジスタの並列接続で構成することによっても実現できる。また、P型MOSトランジスタQ1の閾値電圧を相対的に小さくすることによっても、同様の効果を得ることができる。さらに、P型MOSトランジスタQ1、Q2は、所定のインピーダンスを有するものであればよいので、他のインピーダンス手段で置き換えることもできる。たとえば、P型MOSトランジスタQ2の代わりに高抵抗素子を用いることができる。

【0014】図2(A)に、このパワーオン回路17の回路図を示す。電源VDDと接地線GNDとの間に負荷素子であるP型MOSトランジスタQ11と容量素子C1とが直列接続され、その接続点Cの電位がCMOSインバータIV11、IV12を介して出力信号PONVとして出力される。このP型MOSトランジスタQ11のゲートは電源VDDに接続されている。また、この接続点Cと接地線GNDの間には、ゲートが共通に電源VDDに接続されたN型MOSトランジスタQ12、Q13が直列接続されており、これによりP型MOSトランジスタQ11によって容量素子C1が充電される速度、及び充電後の共通接続点の電位が調整されている。さらに、インバータIV11の出力とインバータIV12の入力との接続点Dおよび電源VDDの間には、容量素子C2が接続されている。

【0015】このパワーオン回路17の動作を説明するタイミングチャートを、図2(B)に示す。半導体装置16に電源が供給されていないときは、接続点C、Dの電位及び出力信号PONVの電位は、ほぼ接地電位となっているとする。そして、半導体装置16に最初に電源が供給されて電源VDDの電位が上昇し始めると、まず容量素子C2を通して接続点Dの電位が上昇し、インバー

タIV12のN型MOSトランジスタがオンすることにより、出力信号PONVはロウレベルである接地電位になる。即ち、電源供給前に出力信号PONVの電位が接地電位以上の電位でフローティングしていたとしても、電源投入によってすみやかにロウレベルに固定される。そして、P型MOSトランジスタQ11が導通すると、容量素子C1が充電され、接続点Cの電位は上昇し始める。また、これにともない、N型MOSトランジスタQ12、13が導通し、これらN型MOSトランジスタQ12、13からなる直列回路の電流駆動能力により、容量素子C1を充電する電流、および充電完了後の平衡状態における接続点Cの電位が調整される。そして図2

(B)に示すように、電源電位が最初に供給されてから遅延時間 t_1 が経過すると、接続点Cの電位が上昇してCMOSインバータIV11の閾値電圧に達し、CMOSインバータIV11の出力電位が接地電位となることにより、出力信号PONVの電位はハイレベルとなり、電源 V_{DD} の電位に一致する。

【0016】次に、このパワーオン回路17を用いた半導体メモリ装置16の動作について説明する。

【0017】まず、図1において破線で示すように、ボンディングオプションパッド14が接地用外部リードGNDPINにボンディングされた場合について説明する。

【0018】半導体装置16に最初に電源電圧が供給されてから遅延時間 t_1 が経過するまでの間は、図2

(B)に示すように、パワーオン回路17の出力信号PONVはロウレベルである。そして、ボンディングオプション判定回路10におけるP型MOSトランジスタQ1のゲートにはこのロウレベルの信号PONVが印加される。またP型MOSトランジスタQ2のゲートは接地されている。従ってこれらP型MOSトランジスタQ1、Q2は共にゲートが接地電位であり、電源 V_{DD} の電位がP型MOSトランジスタの閾値電圧の絶対値よりも大きくなると、導通状態となり、電源 V_{DD} から接続点Aに向かって電流が流れる。即ち、この遅延時間が経過するまでの期間は、電源 V_{DD} から接続点Aに流れる電流は、比較的大きなものである。しかしこのとき、接続点Aはボンディングオプションパッド14を介してボンディングにより接地されているため、P型MOSトランジスタQ1、Q2を通して電源 V_{DD} から接続点Aに流れる電流は、接地線である外部リードGNDPINに流れ、これにより接続点Aの電位はほぼ接地電位に保たれることになる。従って、フローティング時対策ゲート部11の出力はロウレベル、ボンディング判定回路部12の出力はハイレベルとなり、出力波形整形回路部13からの出力信号BOP Tはハイレベルとなる。一方、遅延時間 t_1 が経過すると、図2(B)に示すように、パワーオン回路17の出力信号PONVはハイレベルとなり、電源 V_{DD} の電位に一致する。従って、ボンディングオプション

判定回路10において、P型MOSトランジスタQ1のゲート電位及びソース電位は共に電源 V_{DD} の電位に一致し、P型MOSトランジスタQ1は非導通となる。従って、フローティング時対策ゲート部11において接続点Aは、電流駆動能力の非常に小さなP型MOSトランジスタQ2のみによって駆動される。このため、電源 V_{DD} から接続点Aへ流れる電流は、遅延時間 t_1 が経過する前よりもはるかに小さなものとなる。この場合において、接続点Aの電位はボンディングオプションパッド14からの信号BOINの電位である接地電位に引き下げられているので、出力波形整形回路部13からの出力信号BOP Tは、ハイレベルを維持する。

【0019】以上の通り、ボンディングオプションパッド14をボンディングにより接地した場合には、ボンディングオプション判定回路部10において、半導体装置16に最初に電源電圧が供給されてから遅延時間 t_1 が経過するまでの間のみ、電源 V_{DD} からP型MOSトランジスタQ1、Q2を通して接地点に向けて電流が流れて消費電力が比較的大きくなるが、遅延時間 t_1 の経過後、通常の動作時には、消費電流は電流駆動能力の非常に小さなトランジスタQ2のみを流れ、消費電力は非常に小さなものとなる。そして、遅延時間と通常動作時を通して、ボンディングオプション判定回路10の出力信号BOP Tは、ハイレベルに固定される。

【0020】そして、この出力信号BOP Tは、図示しない機能選択用回路部に入力されて、半導体装置16の機能のうち所定のものを選択的に動作可能とする。即ち、この選択により、半導体装置16の通常動作時における機能が特定され、または通常動作時において特定の機能を必要に応じて随時動作させることができる状態になる。たとえば、ボンディングオプションパッド14を接地用外部リードGNDPINにボンディングする事により、半導体メモリ装置16のビット構成が16ビットに設定され、または通常動作時においてページモードを使用することが可能となる。

【0021】次に、ボンディングオプションパッド14がボンディングされず、フローティングしている場合について説明する。

【0022】半導体装置16に最初に電源電圧が供給されてから遅延時間 t_1 が経過するまでの間は、説明した通りパワーオン回路17の出力信号PONVはロウレベルである。よって、ボンディングオプション判定回路10におけるP型MOSトランジスタQ1のゲートにはロウレベルが印加され、またP型MOSトランジスタQ2のゲートは接地されているので、これらP型MOSトランジスタQ1、Q2は共に導通状態となり、電源 V_{DD} から接続点Aに向かって電流を流し、接続点Aを駆動する。即ち、この遅延時間 t_1 が経過するまでの期間は、電源 V_{DD} から接続点Aに向かって比較的大きな電流が流れることになる。そのため、ボンディングオプションパ

ッド14はフローティングしているので、この期間中は図2(B)に示すように、接続点Aの電位は速やかに上昇する。そして、遅延時間 t_1 が経過した後は、出力信号P ONVはハイレベルとなるのでP型トランジスタQ1は非導通となり、P型トランジスタQ2のみで接続点Aを駆動することになる。この場合、P型トランジスタQ2の電流駆動能力は非常に小さいので、接続点Aの電位の上昇は緩やかになり、電源VDDの電位に達するまでの時間 t_2 は長くなる恐れがある。しかし、ボンディングオプション判定回路10を正常に動作させるためには、接続点Aの電位がボンディング判定回路部12のインバータIV1の閾値電圧に達しさえすれば十分である。したがって、P型トランジスタQ1の駆動能力を比較的大きく設定しておくことにより、遅延時間 t_1 経過以前、または遅延時間 t_1 経過後速やかに、接続点Aの電位がインバータIV1の閾値電圧に達するようにする事ができる。そして、接続点Aの電位がインバータIV1の閾値電圧に達すれば、ボンディング判定回路部12の出力はロウレベルとなり、出力波形整形回路部13の出力信号B OPTはロウレベルとなる。

【0023】以上の通り、ボンディングオプションパッド14をボンディングせずフローティングさせた場合には、ボンディングオプション判定回路部10において、半導体装置16に最初に電源電圧が供給されてから遅延時間 t_1 が経過するまでの間に、P型MOSトランジスタQ1、Q2により接続点Aを比較的強く駆動して、接続点Aの電位を上昇させるので、遅延時間 t_1 の経過後においてP型MOSトランジスタQ2のみによる駆動となり、駆動能力が小さくなったとしても、接続点Aの電位を確実に上昇させてボンディングオプション判定回路10を正常に動作させることができる。即ち、接続点Aの電位がインバータIV1の閾値電圧に達することにより、ボンディングオプション判定回路10の出力信号B OPTは、ロウレベルとなる。

【0024】そしてこの出力信号B OPTは、図示しない機能選択用回路部に入力されて、半導体装置16の機能の所定のものを選択的に動作可能とする。即ち、この選択により、半導体装置16の通常動作時における機能が特定され、または通常動作時において特定の機能を必要に応じて随時動作させることができる状態になる。たとえば、ボンディングオプションパッド14をボンディングせずフローティングさせる事により、半導体メモリ装置16のビット構成が8ビットに設定され、または通常動作時においてページモードを使用しないことが選択されることになる。

【0025】即ち、本願発明の第1の実施例では、ボンディングオプション判定回路10を有する半導体装置16において、ボンディングオプションパッド14を駆動する為に駆動能力の異なる2つのP型MOSトランジスタQ1、Q2を用い、大きな駆動能力のトランジスタQ

1は、半導体装置に最初に電源が供給されてから所定の遅延時間が経過するまでの間においてパッド14を駆動するようにしたので、ボンディングオプションパッド14が接地点にボンディングされたときには、電源オン後の短い期間内のみ大きな消費電流が流れ、消費電力を小さくすることができ、またボンディングされないときは、電源オン後の短い期間内においてパッド14を強く駆動して、その後駆動能力が小さくなっても誤動作を起こすことなく、ボンディングオプション判定回路部10は正常な出力信号を出力する。

【0026】図3は本願発明の第2の実施例である半導体メモリ装置を示す平面図及び回路図であり、図4

(A)は図3におけるパワーオン回路27の回路図、図2(B)はこの半導体装置に電源電圧が供給されたときのパワーオン回路27及びボンディングオプション判定回路部20の動作波形を示すタイミングチャートである。

【0027】図3に示すように、第2の実施例の半導体装置26は第1の実施例の装置とほぼ同様の構成であり、異なる点は、以下の通りである。即ち、フローティング時対策ゲート部21において、ボンディングオプションパッド24からの信号線と接地点との間に、N型MOSトランジスタQ3、Q4が接続されており、N型MOSトランジスタQ4のゲートは電源VDDに、N型MOSトランジスタQ3のゲートはパワーオン回路27の出力にそれぞれ接続されている。また、出力波形整形回路部23は、3つのインバータIV2、IV3、IV4を有し、ボンディングオプションパッド24は図3に破線で示すように、電源用外部リードVDD PINにボンディングされ、またはボンディングされないでフローティングとされる。さらに、第2の実施例において用いるパワーオン回路27の回路図を図4(A)に示す。パワーオン回路27が第1の実施例で用いたものと異なる点は、出力段部として、3つのCMOSインバータIV21、IV22、IV23を有する点である。

【0028】まず、パワーオン回路27の動作について説明する。半導体装置26に電源が供給されていないときは、接続点E、Fの電位及び出力信号P ONAの電位は、ほぼ接地電位となっているとする。半導体装置26に最初に電源が供給されて電源VDDの電位が上昇し始めると、まず容量素子C4を通して接続点Fの電位が上昇し、インバータIV22のN型MOSトランジスタがオンすることにより、インバータIV23のP型MOSトランジスタのゲートは接地電位となり、電源VDDの電位がP型MOSトランジスタの閾値電圧の絶対値以上になると、出力信号P ONAはハイレベルとなり、電源VDDと同じ電位になる。即ち、電源供給前に出力信号P ONAの電位が接地電位以上の電位でフローティングしていたとしても、電源投入によって速やかにハイレベルである電源VDDの電位に一致する。また、P型MOSトラン

ジスタQ21が導通すると、容量素子C3が充電され、接続点Eの電位は上昇し始める。このとき、N型MOSトランジスタQ22、23からなる直列回路の電流駆動能力により、容量素子C3を充電する速さ、及び充電完了後の接続点Eの電位が調整される。そして図4(B)に示すように、電源電位が最初に供給されてから遅延時間 t_3 が経過すると、接続点Eの電位が上昇してCMOSインバータIV21の閾値電圧に達し、CMOSインバータIV21の出力電位が接地電位となることにより、出力信号PONAの電位もロウレベルである接地電位となる。

【0029】次に、第2の実施例である半導体装置26の動作を説明する。

【0030】まず、図3に破線で示すように、ボンディングオプションパッド24が電源用外部リードVDDPINにボンディングされた場合について説明する。

【0031】半導体メモリ装置26に最初に電源電圧が供給されてから遅延時間 t_3 が経過するまでは、図4(B)に示すとおりパワーオン回路27の出力信号PONAはハイレベルであり、電源VDDの電位に追従するように上昇する。そして、ボンディングオプション判定回路20におけるN型MOSトランジスタQ3のゲートにはこのハイレベルの信号PONAが印加され、P型MOSトランジスタQ2のゲートは電源VDDに接続されている。従ってこれらP型MOSトランジスタQ1、Q2は、電源VDDの電位がN型MOSトランジスタの閾値電圧よりも大きくなると、導通状態となり、接点Bから接地点に向かって電流を流す。即ち、ボンディングオプションパッド24は電源用外部リードVDDPINに接続されているから、電源VDDから接地点に向かって、電流が流れることになる。この場合、遅延時間 t_3 が経過するまでの期間は、2つのトランジスタQ3、Q4が導通しているため、接地点に流れる電流は比較的大きなものとなる。なお、N型MOSトランジスタQ3、Q4を通して電源VDDから接地点に流れる電流は、ボンディングにより外部リードVDDPINから接続点Bに流れる電流に比べれば十分小さいので、接続点Bの電位はほぼ電源VDDの電位に保たれることになる。従って、フローティング時対策ゲート部21の出力は、ボンディングオプションパッド24からの信号BOINと同じくハイレベル、ボンディング判定回路部22の出力はロウレベルとなり、出力波形整形回路部13からの出力信号BOPTはハイレベルとなる。一方、遅延時間 t_3 経過後は、図4(B)に示すようにパワーオン回路27の出力信号PONVがロウレベルとなる。従って、ボンディングオプション判定回路20において、N型MOSトランジスタQ3のゲート電位及びソース電位は共に接地電位に一致し、N型MOSトランジスタQ3は非導通となる。よってフローティング時対策ゲート部21において、接続点Bから接地点へ流れる電流は、電流駆動能力の非常に小

きなP型MOSトランジスタQ4を通る電流のみとなり、電源VDDから接地点へ流れる電流は、遅延時間 t_3 が経過する前よりもはるかに小さなものとなる。この場合において、接続点Bの電位はボンディングオプションパッド14からの信号BOINの電位である電源電位に引き上げられているので、出力波形整形回路部23からの出力信号BOPTは、ハイレベルを維持する。

【0032】以上の通り、ボンディングオプションパッド24をボンディングにより電源VDDに接続した場合には、ボンディングオプション判定回路部20において、半導体装置26に最初に電源電圧が供給されてから遅延時間 t_3 が経過するまでの間のみ、電源VDDからN型MOSトランジスタQ3、Q4を通して接地点に向けて電流が流れて消費電力が比較的大きくなるが、遅延時間 t_3 の経過後通常の動作時には、消費電流は電流駆動能力の非常に小さなトランジスタQ4のみを流れ、消費電力は非常に小さなものとなる。また、ボンディングオプション判定回路20の出力信号BOPTは、ハイレベルとなる。

【0033】そして、第1の実施例と同様に、この出力信号BOPTは図示しない機能選択用の回路部に入力され、半導体装置26の機能のうち所定のものを選択的に動作可能とする。即ち、この選択により、半導体装置26の通常動作時における機能が特定され、または通常動作時において特定の機能を必要に応じて随時動作させることができる状態になる。たとえば、半導体メモリ装置26がランダムアクセスメモリである場合、ボンディングオプションパッド24を電源用外部リードVDDPINにボンディングする事により、セルフリフレッシュサイクルが3msに設定され、または通常動作時においてシリアル動作を行うことが可能となる。

【0034】次に、ボンディングオプションパッド24がボンディングされず、フローティングしている場合について説明する。

【0035】半導体メモリ装置26に最初に電源電圧が供給されてから遅延時間 t_3 が経過するまでの間に、パワーオン回路27の出力信号PONAは電源VDDの電位に追従しており、ボンディングオプション判定回路20におけるN型MOSトランジスタQ3のゲートにはハイレベルが印加され、またN型MOSトランジスタQ4のゲートも電源VDDに接続されているので、電源VDDの電位が閾値電圧に達するとこれらN型MOSトランジスタQ3、Q4は共に導通状態となり、接続点Bから接地点に向かって大きな駆動能力の電流路が形成される。そのため、ボンディングオプションパッド24はフローティングしているから、この期間中は図4(B)に示すように、接続点Bの電位は接地電位に固定される。または、接続点Bの電位が初めから浮き上がっていたときは、図4(B)に破線で示すように速やかに低下する。そして、遅延時間 t_3 が経過した後は、出力信号PONAが

ロウレベルとなるのでN型トランジスタQ3は非導通となり、N型トランジスタQ4のみで接続点Bを放電することになる。この場合、P型トランジスタQ4の電流駆動能力は非常に小さいので、接続点Bの電位の低下は緩やかになり、接地電位に達するまでの時間 t_4 は長くなる恐れがある。しかし、ボンディングオプション判定回路20を正常に動作させるためには、接続点Bの電位がボンディング判定回路部22のインバータIV1の閾値電圧よりも小さくなれば十分である。したがって、N型トランジスタQ3の駆動能力を比較的大きく設定しておくことにより、遅延時間 t_3 経過以前、または遅延時間 t_3 経過後速やかに、接続点Bの電位がインバータIV1の閾値電圧よりも小さくなるようにすることができる。接続点Bの電位がインバータIV1の閾値電圧よりも小さくなれば、ボンディング判定回路部22の出力はハイレベルとなり、出力波形整形回路部23の出力信号BOP Tはロウレベルとなる。

【0036】以上の通り、ボンディングオプションパッド24をフローティングさせると、ボンディングオプション判定回路部20において、半導体装置26に最初に電源電圧が供給されてから遅延時間 t_3 が経過するまでの間に、N型MOSトランジスタQ3、Q4により接続点Bを比較的大きく放電して電位を低下させるので、遅延時間 t_3 の経過後においてN型MOSトランジスタQ4のみによる放電となり、能力が小さくなったとしても、接続点Bの電位を確実に低下させてボンディングオプション判定回路20を正常に動作させることができる。即ち、接続点Bの電位がインバータIV1の閾値電圧よりも小さくなることにより、ボンディングオプション判定回路20の出力信号BOP Tは、ロウレベルとなる。

【0037】そしてこの出力信号BOP Tは、図示しない機能選択用回路部に入力されて、半導体装置26の機能を選択的に動作可能とする。たとえば、半導体メモリ装置26がランダムアクセスメモリである場合、ボンディングオプションパッド24をボンディングせずフローティングさせる事により、セルフリフレッシュサイクルが2msに設定され、または通常動作時においてシリアル動作を行わないことが選択されることになる。

【0038】即ち、本願発明の第2の実施例では、ボンディングオプションパッド24を放電する為に能力の異なる2つのN型MOSトランジスタQ3、Q4を用い、大きな能力のトランジスタQ3は、半導体装置に最初に電源が供給されてから所定の遅延時間が経過するまでの間においてパッド24を放電するようにしたので、ボンディングオプションパッド24が電源に接続されても、電源オン後の短い期間内にのみ大きな消費電流が流れるので、消費電力を小さくすることができ、またボンディ

ングされないときは、電源オン後の短い期間内においてパッド14を強く駆動するので、その後駆動能力が小さくなくても誤動作を起こすこと無く、ボンディングオプション判定回路部20は正常な出力信号を出力することができる。

【0039】

【発明の効果】以上説明したように本願発明によれば、ボンディングオプション判定回路を有する半導体装置において、フローティング時対策回路部内に、パッドからの信号線に接続される2つのトランジスタを設け、一方の能力を非常に小さいものとしかつ常時導通するものとし、また他方の能力を比較的大きいものとし、かつ半導体装置に最初に電源が供給されてから所定の時間が経過するまでの期間内において、導通するようにしたので、パッドがボンディングされるかどうかに関わらず、通常動作時における消費電力を削減することができ、またボンディング判定回路において誤判定を行い間違った機能を選択してしまうことがなくなり、高い信頼性で半導体装置の機能選択を行うことができる。

【図面の簡単な説明】

【図1】本願発明の第1の実施例である半導体メモリ装置を示す平面図及び回路図。

【図2】(A)は第1の実施例におけるパワーオン回路の回路図、(B)はパワーオン回路の動作を示すタイミングチャート。

【図3】本願発明の第2の実施例である半導体メモリ装置を示す平面図及び回路図。

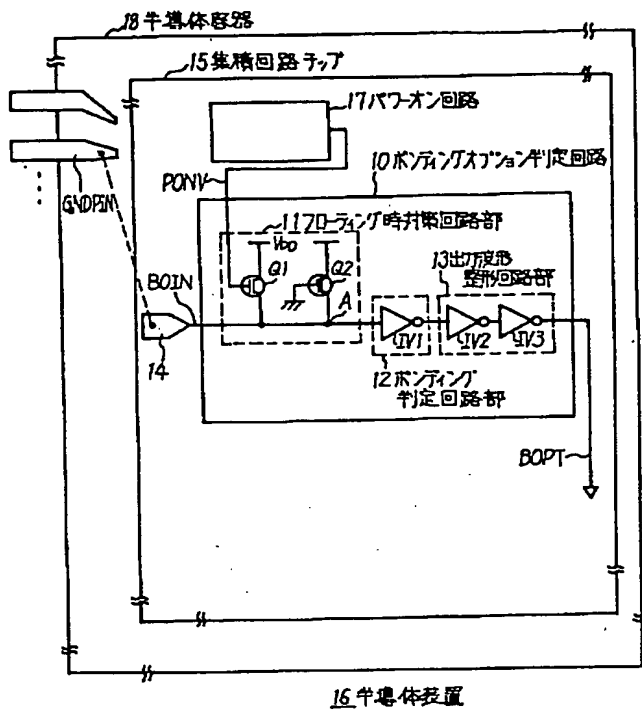
【図4】(A)は第2の実施例におけるパワーオン回路の回路図、(B)はパワーオン回路の動作を示すタイミングチャート。

【図5】従来のボンディングオプション判定回路を備えた半導体装置を示す平面図及び回路図。

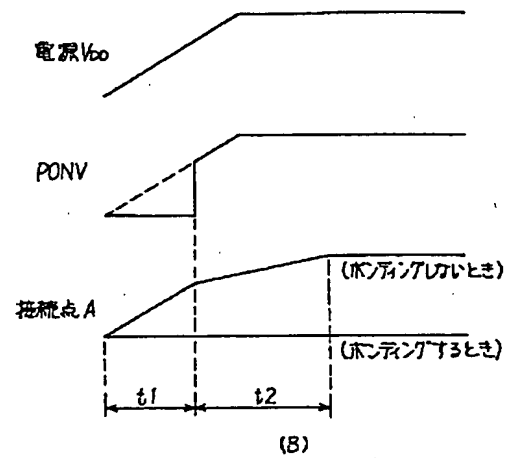
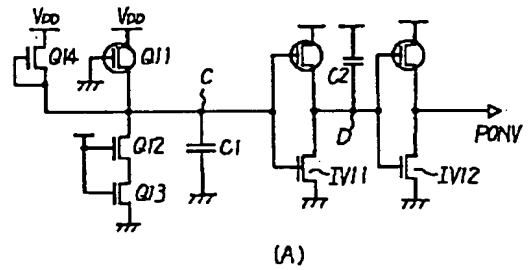
【符号の説明】

10, 20, 40	ボンディングオプション判定回路
11, 21, 41	フローティング時対策回路部
12, 22, 42	ボンディング判定回路部
13, 23, 43	出力波形整形回路部
14, 24, 44	ボンディングオプションパッド
15, 25, 45	集積回路
16, 26, 46	半導体メモリ装置
17, 27	パワーオン回路
18, 28, 48	半導体容器
IV1, IV2, IV3, IV4	インバータ
C1	容量素子
Q1, Q2, Q5	P型MOSトランジスタ
Q3, Q4	N型MOSトランジスタ

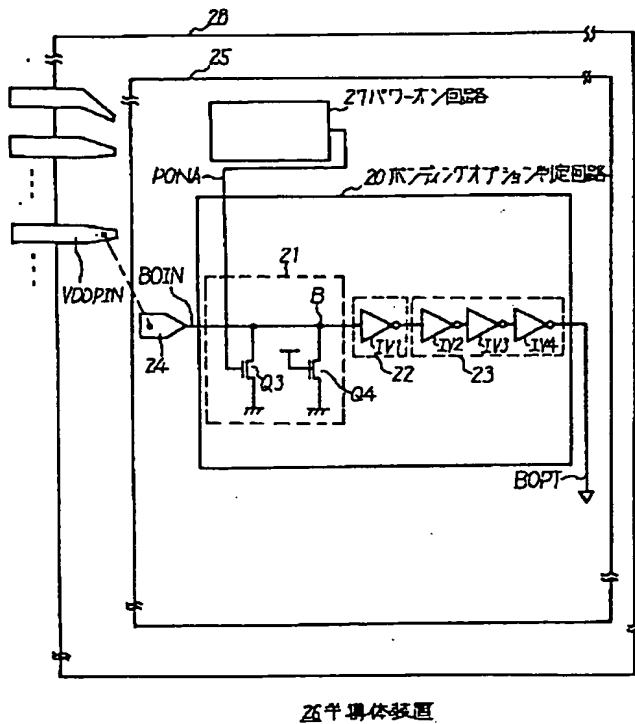
【図1】



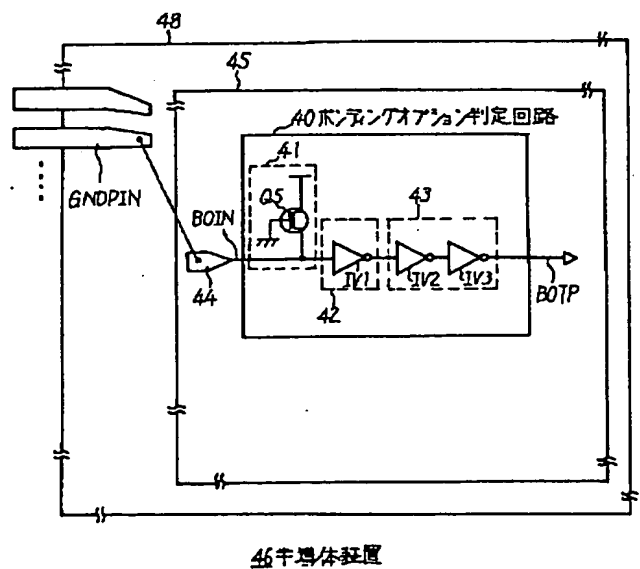
【図2】



【図3】



【図5】



【図4】

